**Лабораторная работа №10.**

**Преобразователи кодов.**

**1.Цель работы.**

Ознакомление с основными характеристиками и испытание интегральных преобразователей кодов (дешифра­то­­ра, шифратора, демультиплексора и мультиплек­сора).

**2.Приборы и принадлежности.**

1). ПК с становленным ПО National Instruments.

2). NI ELVIS II.

**3.Теоретические сведения.**

*Кодом* называют систему символов для представления информации в форме, удобной для обработки, хранения и передачи. В цифровой технике для записи кодовых символов, или просто кода, используют две цифры: 0 и 1. *Преобразователи кодов* служат для перевода одной формы бинарного чи­сла (кодовой комбинации) в другую, например, преобразование двоично-десятичного кода в семисегментный код индикатора. Входные и выходные коды преобразователей связаны между собой. Эту связь задают логическими функциями или в виде таблицы переключений. Рассмотрим наиболее распространённые в цифровой технике виды преобразователей кодов.

*1. ДЕШИФРАТОР.*

*Дешифратор* (DC)или *декодер* − комбинационная схема с *п* входами и *m* = 2*п* выходами (*m* > *n*), преобразующая двоичный входной *п-*код (кодовое слово) в унитарный. На одном из *m* выходов дешифратора появляется логическая 1, а именно на том, номер которого соответствует поданному на вход двоичному коду. На всех остальных выходах дешифратора выходные сиг­налы равны нулю. Дешифратор используют, когда нужно обращаться к различным циф­ро­вым устройствам по адресу, представленному дво­ичным кодом.

Рис. 10.1

 *a*

 *b*

 *c*

 *d*

 *Е*

 *у*0

 *у*1

 *у*2

 *у*3

 *у*15

*Е*

DC

Условное изображение дешифратора 4х16 (читаемого "четыре в шестнадцать") на схемах дано на рис. 10.1. Дешифратор содержит число выходов, рав­ное числу комбинаций входных переменных: от *у*0 = до *y*15 *= abcd* при *п* = 4 и *m* = 2*п* = 16. Применяются также неполные дешифра­торы с меньшим числом выходов (10 или 12 при четырех переменных на входе, тогда ряд комбинаций на входе не используется). Каждый выход полного дешифратора реализует конъюнкцию входных переменных (код адреса) или их инверсий: при наборе  *у*0 = 1, при  *у*7 = 1, при *abcd* (1111) *y*15 *=* 1 и т. д. Дешифраторы часто имеют *разрешающий* (управляющий, стробирующий) вход *Е*. При *Е* = 1 дешифратор функционирует как обычно, при *Е* = 0 на всех выходах устанавливается 0 независимо от поступающего кода адреса. Дешифраторы широко используют во многих устройствах, в том числе в качестве преобразователей двоичного кода в десятичный.

*2. ШИФРАТОР.*

*Шифратор* (CD) или *кодер* выполняет функцию, обратную функции дешифратора. Условное изображение шифратора 16х4 (16 в 4) на схемах показано на рис. 10.2, *а*. Классический шифратор имеет *n* входов и *m* выходов (*m* < *n*), и при подаче сигнала 1 на один из входов (и не более) на выходе кодера появляется двоичный код номера возбужденного выхода. Число входов и выходов такого шифратора связано соотношением *n* = 2*m*.

Рис. 10.2

 *х*0

 *х*1

 *х*2

 *х*3

*х*15

СD

 *а*

 *b*

 *c*

 *d*

*б*)

 *х*1

 *х*2

 *Е*

 *у*0

 *у*1

 *у*2

 *у*3

*Е*

DC

0

 1

 2

 3

 4

 5

 6

 7

 *х*1

 *х*2

 *х*3

*х*15

СD

 *К*

 *J*

 *Z*

1

2

4

*а*)

Области использования шифраторов − отображение в виде двоичного кода номера нажатой кнопки или положения многопозиционного переклю­чателя, а также номера устройства, подавшего сигнал на обслуживание в микропроцессорных системах. Шифраторы входят в состав микросхем кон­троллеров прерываний, например КР580ВН510.

Для решения многих конкретных задач необходимо синтезировать преобразователи различных кодов. В качестве примера на рис. 10.2, *б* представлена схема кодового преобразователя, состоящая из пары декодерDС – кодер CD, реализующая логику работы () некоторого трёх­цветного светофора *К*, *J* и *Z*, управляемого двухразрядным двоичным кодом *Х*. При этом вначале дешифруется каждая комбинация исходного кода, в результате чего на соответствующем выходе декодера появляется логическая 1. Затем этот логический сигнал, значение которого определено номером выхода декодера, подаётся на кодер и на его выходах устанавливается преобразованный код.

Число входов дешифратора DC равно двум (*х*1 и *х*2), число выходов − трём (числу выходов преобразователя) *у*0, *у*1 и *у*2. Соединения дешифратора и шифратора выполнены в соответствии с заданной логической функцией *у*. Часть выходов декодера и входов кодера не используется.

Эффективно стыкуются друг с другом декодер и кодер, построенные на элементах И-НЕ: первый имеет инверсные выходы, а второй − инверсные входы. Если некоторым входным комбинациям соответствует одна и та же выходная, то соответствующие выходы декодера объединяют на элементе ИЛИ и выход последнего подают на нужный вход кодера.

 Проектирование кодовой преобразовательной схемы на паре декодер-кодер оказывается в среднем более выгодным и по числу корпусов, и по быстродействию, чем при проектировании из готовых базовых логических микросхем И-НЕ и ИЛИ-НЕ. Однако потребляемая мощность в этом случае может оказаться больше, чем у схемы из отдельных элементов. Затраты времени инженера на логическое проектирование по схеме декодер-кодер неизмеримо меньше, чем затраты на проектирование преобразователя из россыпи.

*3. МУЛЬТИПЛЕКСОР.*

*Мультиплексор* (МS) *−* это функциональный узел, осуществляющий подключение (*коммутацию*) одного из нескольких входов к выходу *у*. На выход такого устройства передаётся логический уровень того информационного разряда, номер которого в двоичном коде задан на адресных входах *х*1 и *х*2. Условное изображение мультиплексора на четыре входа и возможный вариант его структурной схемы показаны на рис. 10.3, *а* и *б*.

*х*1

*х*2

 *a*

 *b*

 *c*

 *d*

 *Е*

Рис. 10.3

*х*1

*х*2

 *a*

 *b*

 *c*

 *d*

 *Е*

 *у*

*Е*

MS

*а*)

*&*

*&*

*&*

*&*

*&*

1

*у*

*б*)

DC

При *х*1 = 0 и *х*2 = 0, *у* = *а*; при *х*1 = 0 и *х*2 = 1, *у* = *b*; при *х*1 = 1 и *х*2 = 0, *у* = *c* и при *х*1 = 1 и *х*2 = 1, *у* = *d*.

Функционирование мультиплексора описывается выражением



Вход *Е* – разрешающий: при *Е* = 1 мультиплексор работает как обычно, при *Е* = 0 выход узла находится в неактивном состоянии, мультиплексор заперт. Серийные узлы выпускаются с числом адресных входов *п* = 2, 3 и 4 при возможном числе 2*п* коммутируемых входов. При необходимости ком­мутировать большее количество входов используют несколько мультиплексоров. Мультиплексоры находят широкое применение в устройствах отображения информации в различных устройствах управления.

Так как мультиплексор может пропустить на выход сигнал с любого информационного входа, адрес которого установлен на соответствующих адресных входах, то на основе мультиплексоров реализуют логические функции, подавая на ин­формационные входы логические 1 или 0 в соответствии с таблицей переключений, а на адресные входы – аргументы функции.

*4. ДЕМУЛЬТИПЛЕКСОР.*

*Демультиплексор* (DMS)выполняет функцию, обратную функции муль­­­т­иплек­сора, т. е. производит коммутацию одного входного сигнала на 2*n* вы­ходов, где *n* – число адресных входов *хi*. Он осуществляет преобразование информации из последовательной формы (последовательно-парал­лель­ной) в параллельную. Демультиплексор имеет один информационный вход *D* и несколько выходов, причем вход подключается к выходу *уi*, име­ющему заданный адрес.

В качестве примера на рис.10.4, *а* дано условное графическое обозначение демультиплексора, имеющего четыре выхода, закон функциони­ро­вания которого задан (табл. 10.1). Пользуясь табл. 30.1, запишем переключательные функции для выхода устройства:



Функциональная схема демультиплексора, реализующая эти выражения, приведена на рис. 30.4, *б*.

 Т а б л и ц а 10.1

*D x*1 *x*2 *y*3 *y*2  *y*1  *y*0

 *D*

 *х*1

 *х*2

 *у*0

 *у*1

 *у*2

 *у*3

DMS

*D*

*х*1

*х*2

*б*)

*а*)

*&*

*&*

*&*

*&*

*D*

 *у*0

 *у*1

 *у*2

 *у*3

 1

 1

Рис. 10.4

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |
| 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 |

Если общее число выходов разрабатываемого устройства превышает имеющиеся в выпускаемых интегральных микросхемах, то используют параллельное подключение нескольких схем. На рис. 10.5, *а* показано демуль­типлексорное дерево, построенное на мультиплексорах с четырьмя вы­­ходами. Объединяя мультиплексор с демультиплексором, получают комбина­ционное устройство, в котором по заданным адресам один из входов подключается к одному из его выходов (рис.10.5, *б*).

 *у*0

 *у*1

 *у*2

 *у*3

 *х*1

 *х*2

*D*

 *D*

 *х*1

 *х*2

DMS

*а*)

 *х*1

 *х*2

 *у*8

 *у*9

 *у*10

 *у*11

DMS

 *х*1

 *х*2

 *у*12

 *у*13

 *у*14

 *у*15

DMS

 *х*1

 *х*2

 *у*4

 *у*5

 *у*6

 *у*7

DMS

DMS

*D*

*D*

*D*

Рис. 10.5

*х*1

*х*2

 *a*

 *b*

 *c*

 *d*

 *Е*

*Е*

MS

 *б*)

 *х*3

 *х*4

 *у*0

 *у*1

 *у*2

 *у*3

DMS

 *D*

**4.Экспериментальная часть.**

**Задание 1**. **Запустить** среду МS10 (щёлкнув мышью **на команде Эксперимент меню комплекса** Labworks)**.** **Cобрать на рабочем поле среды MS10 схему для испытания** *дешифратора* **DC (рис. 10.6)** и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 10.6) на страницу отчёта.

Рис. 10.6

Схема (рис. 10.6) содержит:

 • интегральный *дешифратор* **DC** (*decoder*) 3х8, имеющий 3 информационных входа **A**, **B** и **C** (для кода 4−2−1), 8 выходов (**Y0**, …, **Y7**) и преобразующий позиционный 3-разрядный двоичный код в *унитарный* "1 из 8": в выходной 8-раз­­рядной кодовой комбинации только одна позиция занята единицей, а все остальные – нулевые (см. рис. 10.7, справа). В зависимости от входного двоичного кода, например 001, на выходе **DС** появляется сигнал 1 только на одной (второй, см, рис. 10.6) из 8-ми выходных линий, к которым подключены пробники **Х0**,…, **Х7**.

Данный тип шифратора относится к шифраторам с разным уровнем вхо­дных и выходных сигналов: активные входные уровни соответствуют уро­в­ню логической 1, а активные выходные сигналы – уровню логического 0. Для получения активных выходных уровней, равных 1, к выходам дешифратора подключено восемь инверторов **С0**, …, **С7**;

• логический генератор слова **XWG1** (*fг*= 500 кГц) с записанными логическими словами в его ячейки памяти, которые эквивалентны десятичным числам от 0 до 7 (см. рис. 10.7, слева);

• логический анализатор **XLA1**, на экран которого выводятся временные диаграммы как трёх входных (**А**, **В,** **С**), так и восьми **(Y0**, **Y1**, …, **Y7**) выходных сигналов при пошаговом режиме **Step** генератора **XWG1**;

• источник **VCC**, напряжение 5 В с выхода которого подано на инвертор **NOT**. Логический 0 с инвертора подается на управляющий вход деши­фратора **DC**: при  дешифратор находится в активном состоянии.

**Запустить** программу моделирования дешифратора. Щёлкая мышью на кнопке **Step** генератора **XWG1**,последовательно **подавать** на вход дешифратора логические слова. **Убедиться**, что при подаче на вход дешифратора каждой новой двоичной кодовой комбинации засвечивается только один пробник, который "распознаёт" свой входной код.

Рис. 10.7

**Скопировать** временные диаграммы входных и выходных сигналов де­шифратора на страницу отчёта. По результатам моделирования **составить** и **заполнить** таблицу переключений (функций  на вы­ходах дешифратора **DC** 3х8.

**Задание 2**. **Cобрать на рабочем поле среды MS10 схему для испытания** *шифратора* **СD (рис. 10.8)** и **установить** в диалоговых окнах ком­понентов их параметры или режимы работы.

 **Скопировать** схему (рис. 10.8) на страницу отчёта.

Интегральный *шифратор* **CD** 8х3 (из 8 в 3) имеет 8 входов **D0**, **D1**,…, **D7**, подключенных к выходам **Y0**, **Y1**,…, **Y7** дешифратора **DC**,и три инверсных выхода **А0**, **А1**, **А2**, к которым через инверторы **С0**, **С1**, **С2** подключены логические пробники **Х0**, **Х1**, **Х2** и семисегментный индикатор **Ind**. Содер­жимое ячеек памяти генератора слова **XWG1**: 000, 001, …, 111 (см. рис. 10.7, слева).

**Запустить** программу моделирования шифратора. Щёлкая мы­шью на кнопке **Step** генератора **XWG1**,последовательно **подавать** на вход дешифратора логические слова. **Убедиться**, что при подаче с выхода **DC** на вход шифратора **СD** 8-разрядной последовательности, в которой только одна позиция занята единицей, а остальные − нулями, на выходе шифратора формируются 3-разрядные двоичные коды **A0A1A2**, где **А0 = А**, **А1 = В** и **А2 = С**, соответствующие двоичным кодовым комбинациям на входе де­шифратора **DC**.

Рис. 10.8

По результатам моделирования (позасвечиванию логических пробников **Х0**, **Х1**, **Х2** и показаниям индикатора **Ind**) с**оставить** и **заполнить** таблицу переключений на выходе шифратора **CD** 8х3.

**Преобразовать** схему дешифратора **DC** 3х8 и шифратора **CD** 8х3 (см. рис. 10.8) в схему **DC** 2х4 и шифратора **CD** 4х2, отсоединив провод **С**, подходящий к дешифратору, и провод **A2** с выхода шифратора, и **составить** таблицы переключений дешифратора 2х4 и шифратора 4х2.

**Задание 3** **Cобрать на рабочем поле среды MS10 схему для испытания** *демультиплексора* **DMS (рис. 10.9)** и **установить** в диалоговых окнах ком­понентов их параметры или режимы работы.

Рис. 10.9

*Демультиплексор* **DMS** 1х8 (из 1 в 8) (рис. 10.9) имеет один информационный вход (с активными высоким **G1** и низким **G2** уровнями), три адресных **А**, **В**, **С** входа, разрешающий **GL** вход с активным низким уровнем и восемь **Y0**, **Y1**, …, **Y7** инверсных выходов, соединённых с входами логического анализатора **XLA1**. На вход анализатора также подаются сигналы с адресных входов **А**, **В**, **С**. С помощью ключей **А**, **В** и **С** можно сформировать восемь трёхразрядных двоичных адресных слов. При последовательной подаче формируемых ключами адресных слов от 111 до 000 на экран анализатора **XLA1** при моделировании выводятся 8-разрядные кодовые последовательности с одним активным (низким) уровнем.

Для обеспечения медленного перемещения лучей на экране анализатора **XLA1** **установить** частоту его таймера *fa* = 500 Гц и число импульсов, приходящихся на одно деление, **Clocs/div** = 80.

**Задать** код ключей 111 и **щелкнуть** мышью на кнопке **Run/Stop**.Кривые адресных и выходных логических сигналов медленно разворачиваются во времени на экране анализатора.

**Остановить (**щелчком мыши на кнопке **Stop)** процесс моделирования при приближении лучей анализатора к линии разметки экрана.

**Повторять** перечисленные выше операции для спадающих счётных комбинаций адресных сигналов (с 110 до 000) до тех пор, пока не будет записан процесс моделирования при адресном слове 000 (см. рис. 10.9, справа).

**Убедиться**, что для каждой комбинации адресных сигналов демультиплексор формирует логический 0 на одном из восьми выходов, номер которого соответствует определенному кодовому слову на входе, т. е. демультиплексор подобен коммутатору, посредством которого поток цифровой информации разделяется на 8 выходных потоков.

**Скопировать** схему (рис. 10.9) и временные диаграммы входных и выходных сигналов на страницу отчёта.

Если адресные входы **А**, **В** и **С** принять в качестве информационных входов, а вход **G1** (**G2**) в качестве входа разрешения работы, то мультиплексор превратится в дешифратор.

**Задание 4**. **Cобрать на рабочем поле среды MS10 схему (рис. 10.12) для испытания** *мультиплексора* **MS 8х1 (из 8 в 1)** и **установить** в диалоговых окнах ком­понентов их параметры или режимы работы. **Скопировать** схему (рис. 10.12) на страницу отчёта.

Рис.10.12

Мультиплексор **МS** с разрешающим входом **G** осуществляет передачу сигнала с каждого информационного входа **D0**, **D1**, …, **D7**, заданного 3-раз­рядным кодом **АВС** – адресом выбираемого входа, на единственный выход **Y**. Разрядность (3) управляющего сигнала определяет количество входов (23 = 8), с которых мультиплексор может принимать информацию. Если предположить, что к входам **D0**, **D1**, …, **D7** мультиплексора **MS** присоединено 8 источников цифровых сигналов – генераторов последовательных двоичных слов, то байты от любого из них можно передавать на выход **Y.**

Для иллюстрации работы мультиплексора **MS** запишем в ячейки памяти генератора **XWG1** произвольные 8-разрядные кодовые сло­ва (рис. 10.13, слева), а с помощью ключей **А**, **В**, **С** сформируем уп­равляющий сигнал 111. Последовательно щёлкая мышью на кнопке **Step** генератора **XWG1** и при **G** = 1, поступающие на вход **D7** мультиплексора байты (сигнал 01001110) с 8-го разряда (на рис. 30.13, слева 8-й разряд показан стрелкой) логических слов генератора **XWG1** передаются на выход **Y** и на вход анализатора (см. рис.10.13, справа).

 Если ключ **А** установить в нижнее положение (сформировав, тем самым, адресный код 011), то с входа **D3** на выход **Y** мультиплексора будут поступать байты 4-го разряда логических слов, записанных в ячейки памяти генератора **XWG1**, и т. д.

**Записать** в первые восемь ячеек памяти генератора **XWG1** произвольные 8-разрядные кодовые слова, **задать** частоту *fг*= 500 кГц и режим **Step** его работы (см. рис. 10.13, слева).

Рис. 10.13

В

**Задать** частоту *fa* = 20 МГц таймера логического анализатора **XLA1** и количество импульсов таймера **Clock/div** = 20, приходящихся на одно деление.

**Установить** с помощью ключей **А**, **В** и **С** адресный код (самостоятельно или по указанию преподавателя), например 1002 (410) и **запустить** программу моделирования мультиплексора. **Получить** и **скопировать** временные диаграммы входных сигналов **D0**, **D1**, …, **D7** и выходного сигнала **Y** мультиплексора на страницу отчёта.

**Примечание**. Таблицы переключений на выходах для рассмотренных библиотечных преобразователей кодов можно вызвать нажатием клавиши помощи **F1** после выделения на схеме соответствующего преобразователя.

**Содержание отчета.**

1. Наименование и цель работы.

2. Перечень приборов, использованных в экспериментах, с их крат­кими характеристиками.

3. Изображения электрических схем для испытания дешифратора, шиф­ратора, демультиплексора и мультиплексора.

4. Копии временных диаграмм и таблицы переключений, отображающие работу исследуемых преобразователей кодов.

5. Выводы по работе.

**5.Вопросы для проверки знаний.**

**1**. Укажите **задачи**:

*а*) Для демультиплексирования данных и адресной логики в запоминающих устройствах, а также для преобразования двоично-десятичного кода в десятичный с целью управления индикаторными и печатающими устройствами;

*б*) Для преобразования десятичных чисел в двоичные или в двоично-деся­тич­ный код, например, в микрокалькуляторах, в которых нажатие десятичных клавишей вызывает генерацию соответствующих двоичных кодов;

*в*) Для хранения и преобразования многоразрядных двоичных чисел;

*г*) Для коммутации в заданном порядке сигналов, поступающих с нескольких входных шин на одну выходную;

*д*) Для распределения в требуемой последовательности по нескольким выходам сиг­налов с одного информационного входа, в частности, для передачи информации по одной линии от нескольких установленных на ней датчиков,

при решении которых используется:

 1. Шифратор: *а*) *б*) *в*) *г*) *д*)

 2. Дешифратор: *а*) *б*) *в*) *г*) *д*)

 3. Мультиплексор: *а*) *б*) *в*) *г*) *д*)

 4. Демультиплексор: *а*) *б*) *в*) *г*) *д*)

**2**. Укажите, с **какого разряда** бинарного слова генератора логического слова XWG будет передаваться информация на выход мультиплексора 8х3 при адресном коде 100 на его входе?

 1 3 5 7 9

**3**. Укажите число **выводов** дешифратора при трёх информационных входах.

 2 4 6 8 16

**4**. Укажите назначение **стробирующих** входов в преобразователях кодов.

 Для синхронизации работы преобразователей

 Для увеличения числа коммутируемых информационных входов, а также для блокирования работы преобразователей

 Для увеличения числа адресных входов

**5**. Укажите, в каком **преобразователе** выбор входа по его номеру (адресу) осу­­ществляется с помощью двоичного кода?

 В шифраторе В дешифраторе В мультиплексоре В демультиплексоре

**6**. Укажите **число выводов** у шифратора при четырёх информационных входах.

 16 8 4 2 1

**7**. Укажите, какой из приведенных преобразователей кодов выпускается промышленностью только в **составе других устройств**?

 Шифратор Дешифратор Демультиплексор Мультиплексор