**Лабораторная работа №13.**

**Триггеры.**

**1.Цель работы.**

Ознакомление с основными характеристиками и испытание интегральных триггеров *RS*, *D*, *T* и *JK*.

**2.Приборы и принадлежности.**

1). ПК с становленным ПО National Instruments.

2). NI ELVIS II.

**3.Теоретические сведения.**

*Триггер* – это устройство последовательностного типа с двумя устой­чи­выми состояниями равновесия, предназначенное для записи и хранения ин­формации. Под действием входных сигналов триггер может переключаться из одного устойчивого состояния в другое. При этом напряжение на его выходе скачкообразно изменяется с низкого уровня на высокий или наоборот.

По способу записи информации триггеры делят на *асинхронные*, которые переключаются в момент подачи входного сигнала, и *синхронные* (тактируемые), которые переключаются только при подаче синхронизирующих импульсов, а момент переключения связан с определённым уровнем синхросигнала (*статические* триг­геры) или с моментом перепада напряжения на тактируемом входе (*динамические* триггеры).

Как правило, триггер имеет два выхода: прямой *Q* и инверсный . Чи­с­ло входов зависит от структуры и функций, выполняемых триггером. Например, асин­хронные *RS*-триггеры имеют два входа: вход *S* установки в *единичное* состояние прямого выхода *Q* и вход *R* установки *в нулевое* состояние выхода *Q*. Синхронные триггеры для занесения в них информации, помимо информационных входов *S* (*J*) и *R* (*К*), имеют синхронизирующий *С* или счётный *Т* вход, а триггеры задержки − информационный вход *D*.

Наибольшее распространение в цифровых устройствах получили триггеры *RS*, *D*, *T* и *JK*.

*1. АСИНХРОННЫЙ И СИНХРОННЫЙ RS-ТРИГГЕРЫ*

Простейшим триггером является *асинхронный RS*-триггер, условное графическое изображение которого представлено на рис. 13.1, *а*, а принцип его работы поясняется таблицей истинности (табл. 13.1). Триггер имеет два раздельных информационных входа: *R* и *S* и два выхода: *Q* и . Независимым является один (прямой) вы­ход *Q*, так как инверсный сигнал  можно получить с помощью внешнего инвертора.

Рассмотрим табл. 13.1. Обозначим *Qt* сигнал на вы­ходе триггера до поступления сигнала 1 на его вход *S*. При подаче сигналов *S* = 1 и *R* = 0 триггер пе­реходит в состояние *Qt+*1 = 1. При поступлении сигналов *R* = 1 и *S* = 0 на выходе устанавливается *Qt+*1 = 0. При отсутствии новых команд состояние триггера не изменяется: триггер сохраняет информацию о последней из поступивших команд. Естественно, что комбинация сигналов *S* = 1 и *R* = 1 относится к запрещённым, так как при её подаче на входы триггера на его выходе *Qt+*1 устанавливается либо 1, либо 0.

На основании табл. 13.1 запишем аналитическое выражение функционирования *RS*-триггера:

Рис. 13.1

*S S*   *Q*

*R R* 

Т а б л и ц а 13.1

|  |  |  |
| --- | --- | --- |
|  |  |  |
| 0 | 0 | *Qt* |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | − |

*S*  *R* *Qt*+1

*S S Q*

*C*

*R R* 

*S*

Т

*Q*



*б*)

*а*)

*&*

*&*

*&*

*&*

*R*

*t*

*t*

*t*

*t*

*S*

*R*

*Q*



*в*)

ТТ

*г*)



На рис. 13.1, *в* изображена временная диаграмма, иллюстрирующая его работу. В момент, когда подаётся сигнал *S* = 1, триггер переходит в состояние *Q =* 1. При отсутствии входных сигналов состояние триггера не изменяется, а в момент подачи сигнала *R* = 1 триггер переключается в состояние *Q =* 0, в котором пребывает до поступления нового единичного сигнала на *S*-вход.

*RS*-триггер может быть построен на различных логических элементах. На рис. 13.1, *б* показана схема реализации *RS*-триггера на базовых элементах И-НЕ, в которой использована положительная обратная связь (ПОС) с выходов триггера на входы логических элементов. Именно наличие ПОС отличает триггер от ранее рассмотренных комбинационных логических устройств: посредством сигналов ПОС в триггере фиксируется его предшествующее состояние.

Асинхронный *RS*-триггер можно преобразовать в *синхронный*, если добавить третий синхронизирующий вход *С* (рис. 13.1, *г*), соединенный, например, с нижними, предварительно разделёнными, входами двух левых элементов И-НЕ (см. рис. 13.1, *б*).

Вход *С* обеспечивает функционирование *RS*-триггера по закону



Переключение синхронного *RS*-триггера в состояние *Q =* 1 происходит при *S =* 1 (или в состояние *Q =* 0 при *R* = 1) в момент прихода синхроимпульса *С*. При *С* = 0 информация с *S*- и *R*-вхо­­дов на триггер не передается.

*2. Т-ТРИГГЕР.*

Триггер со счетным запуском (*Т*-*триггер*) должен переключаться каждым импульсом, подаваемым на единственный счётный вход *Т* (рис. 13.2, *а*). Функционирование *Т*-триггера определяется уравнением



Он может быть реализован, например, на базе двух синхронных *RS*-триггеров (рис. 13.2, *б*). С появлением фронта тактового импульса триггер *Т*1 первой ступени переключается в состояние, противоположное состоянию триггера *Т*2. Но это не вызывает измене­ние сигналов на выходах *Q* и , так как за счёт инвертора на тактовый вход *С* триггера *Т*2 в данный момент подан логический 0. Только на срезе сче­тного импульса на входе *Т*1 переключится триггер *Т*2 и произойдёт измене­ние сигналов на выходах *Q* и , а также на *S*- и *R*-вхо­­дах первой ступени.

*3. D-ТРИГГЕР.*

Рис. 13.2

*S Q*

*C*

*R* 

*б*)

*а*)

*S*

*R*

Т

Т

1

*Т*

*Т*1  *Т*2

*S Q*

*T*

Т

*R* 

*C*

Триггер задержки (*D*-*триггер*) может быть только синхронным, так как имеет один инфор­ма­ционный *D*-вход, информация с которого переписывается на выход триггера только по тактовому сигналу, подаваемому на  *С*-вход. Условное изображение *D*-триггера приведено на рис. 13.3, *а*. Реализовать его можно на различных логических элементах, в том числе, на основе синхронного *RS*-триг­гера, дополненного инвертором (рис. 13.3, *б*). Из анализа табл. 13.2 переключательной функции *D*-триггера



следует, что при отсутствии синхроимпульса (*С* = 0) состояние триггера ос­тается неизменным. При условии же *С* = 1 триггер передает на выход сигнал, поступивший на его вход *D* в предыдущем такте, т. е. выходной сигнал *Qt+*1 изменяется с *задержкой* на один период импульсов син­хро­низации.

Т а б л и ц а 32.2

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |

*Ct Dt Qt* *Qt*+1

*D D Q*

*C C* 

*D*

Т

*Q*



*б*)

*а*)ф)

*&*

*&*

*&*

*&*

*C*

*t*

*t*

*t*

*t*

*в*)

*RS-триггер*

*C*

*D*

*Q*



1

*tз*

*tз*

Рис. 13.3

Из анализа временной диаграммы *D*-тригге­ра (рис. 13.3, *в*) также следует, что выходной сигнал *Q* триггера повторяет состояние *D*-входа с поступлением очередного тактового импульса на вход *С* с задержкой *tз* относительно сме­нившегося логического состояния на *D*-входе.

*4. JК-ТРИГГЕР.*

*JK*-триггеры обычно выполняют тактируемыми. *JK*-*триггер* имее­т информационные входы *J* и *K*, которые по своему воздействию на устройство аналогичны входам *S* и *R* синхронного *RS*-триггера: при *J* = 1 и *K* = 0 триггер по тактовому импульсу *С* устанавливается в состояние *Q* = 1; при *J* = 0 и *K* = 1 − переключается в состояние *Q* = 0, а при *J* = 0 и *K* = 0 − хранит ранее принятую информацию.

*K* 

*C*

&

*Т*1

*Э*1

*T*

Т а б л и ц а 13.3

|  |  |  |  |
| --- | --- | --- | --- |
|  |  |  |  |
| 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 |

*Jt Kt Qt* *Qt*+1

*S Q*

*C*

*R* *Т*2 

*J Q*

*C*

Т

*а*)

Т

Т

1

*С*

*C*

*J*

*К*

&

*Р*



*J*

*К*

*б*)

*J Q*

Т

*K* 

*C*

*C*

*в*)

*D*

*J Q*

Т

*K* 

*C*

*C*

*г*)

1

*J Q*

Т

*K* 

*C*

*T*

*д*)

*J Q*

*C*

Т

*K* 

*C*

*S*

*R*

*е*)

1

*Э*2

*S*

*R*

В отличие от синхронного *RS*-триггера одновремен­ное присутствие ло­­­ги­­ческих единиц на информационных входах не является для *JK*-триггера запрещенной комбинацией; при *J* = 1 и *K* = 1 триггер работает в счетном режиме, т. е. переключается каждым тактовым импульсом на входе *С*.

Рис. 32.4

На рис. 13.4, *а* изображена одна из функциональных схем *JK*-триг­гера. Она отличается от схемы *Т*-триггера (см. рис. 13.2, *б*) двумя трёхвходовыми элементами И-НЕ *Э*1 и *Э*2 входной логики первой ступени *JK*-триггера. Пе­реключающий вход *С* − динамический (рис. 13.4, *б*): пе­реключение *JK*-триггера происходит в момент перепада синхроимпу­ль­са с уровня *С* = 1 на уровень *С* = 0, т. е. при срезе.

При *J* = 0 и *K* = 0 на выходе элементов *Э*1 и *Э*2 устанавливаются логические единицы, которые для триггеров с инверсными входами являются пассивными сигналами: триггер *Т*1 и, следовательно, *JK*-триггер в целом сохраняют прежнее состояние (см. рис. 13.4, *а*). Логическая 1 на одном из входов элемента И-НЕ не определяет 1 на его выходе и комбинация *J* = 1, *K* = 1 никак не влияет на входную логику первой ступени, поэтому схемы *Т*- и *JK*-триг­геров (см. рис. 13.2, *б* и рис. 13.4, *а*) принципиально не отличаются: оба работают в счетном режиме.

Только при комбинации сигналов *J* = 1, *С* = 1 и = 1 на входе элемента *Э*1 триггер *Т*1 переключится в состояние *Р* = 1. Аналогично логический 0 будет на выходе элемента *Э*2, когда *К* = 1, *С* = 1 и *Q* = 1.

Таким образом, комбинация *J* = 1, *К* = 0 обуславливает по тактовому импульсу *С* = 1 переключение *JK*-триггера в целом в состояние *Q* = 1, а комбинация *J* = 0, *К* = 1 − в состояние *Q* = 0.

Из анализа табл. 13.3 переключательной функции *JK*-триггера



следует, что состояние триггера определяется не только уровнями сигналов на информационных входах *J* и *К*, но и состоянием *Qt*,в котором ранее находился *JK*-триггер. Так, при комбинации *J* = 0, *K* = 0 триггер сохра­няет предыдущее состояние (; комбинация *J* = 1, *К* = 1 приводит к тому, что тактовым импульсом триггер переключается в состояние, противоположное предыдущему: . Комбинации *J* = 1, *К* = 0 и *J* = 0, *К* = = 1 дают разрешение триггеру переключиться соответственно в состо­яния *Q* = 1 и *Q* = 0.

На основе *JK*-триггера (рис. 13.4, *б*) могут быть выполнены синхронный (рис. 13.4, *в*) и асинхронный (рис. 13.4, *г*) *Т*-триггеры, *D*-триг­гер (рис. 13.4, *д*) и синхронный *RS*-триггер (рис. 13.4, *е*).

При проектировании сложных логических схем (микросхем) необходимы триггеры различных типов, которые можно было бы выполнить на основе одного универсального триггера и использовать его в разных режимах работы и модификациях. В интегральной схемотехнике наибольшее распространение получили *D*- и *JK*-триггеры.

**4.Экспериментальная часть.**

**Задание 1**. **Запустить** среду МS10**.** **Открыть файл 32.5.ms10, размещённый в папке Circuit Design Suite 10.0 среды** МS10, или **собрать на рабочем поле среды MS10 схему для испытания** *асинхронного RS-триггера* **(рис. 13.5)** и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 13.5) на страницу отчёта.

Схема (рис. 13.5) собрана на четырёх логических эле­ментах И-НЕ (**NAND**). На входы *S* и *R* элементов **NAND1** и **NAND2** через ключи **1** и **2** подаются логические сигналы 1 или 0 от источника прямоугольных импульсов **Е1** с амплитудой 5 В. К выходам *Q* и  эле­ментов **NAND3** и **NAND4**, т. е. к выходам триггера, как и к его входам *S* и *R***,** подключены пробники **Х1**, **Х2**, **Х3** и **Х4** с пороговым напряжением 5 В.

Воспользовавшись порядком засвечивания разноцветных пробников и задавая коды (00, 01, 10) состояния ключей **1** и **2** (входных сигналов), **составить** таблицу истинности *RS*-триггера. Например, сформировав с помощью ключей сигналы *S* = 1 и *R* = 0 и подав их на вход триггера, получите на его выходе сигналы *Q* = 1 и  = 0 (см. рис. 13.5). Убедитесь, что при запрещённом коде 11 входных сигналов, на выходе *RS*-триггера могут засветиться оба про­бника, или оба не светятся.

**Задание 2**. **Подключить** к входам триггера логический генератор (генератор слова) **XWG1** (рис. 13.6), запрограммировав его первые три ячейки кодами 00, 10 и 01 и соединив входы и выходы триггера с входами логического анализатора **XLA2**.

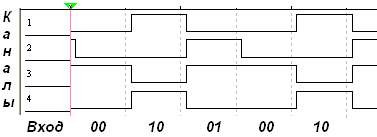
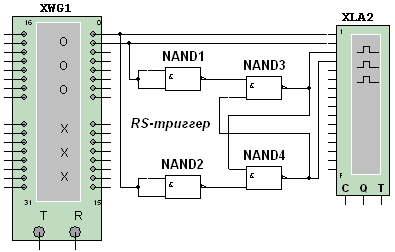


Рис. 13.6

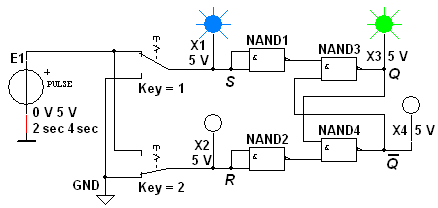


Рис. 13.5

В диалоговом окне генератора слова **XWG1 задать** частоту *fг* = 10 кГц и два цикла моделирования сигналов (в режиме **Burst)**, а в окне анализатора **XLA2** − частоту *fа*= 0,1 МГц таймера, уровень высокого напряжении  *Um* = 5 В, число импульсов **Clocks/div** = 8 таймера, приходящихся на одно деление.

**Получить** на экране анализатора **XLA2** временную диаграмму состояний *RS*-триг­гера (см. рис. 13.6, внизу). **Скопировать** схему испытания и временную диаграмму состояния *RS*-триг­гера на страницу отчёта.

**Задание 3**. **Открыть файл 32.7.ms10, размещённый в папке Circuit Design Suite 10.0 среды** МS10, или **собрать на рабочем поле среды MS10 схему для испытания** *триггеров* **JK**,**Т** и**D****(рис. 13.7)** и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 13.7) на страницу отчёта.

В схему (рис. 13.7) включены:генератор **XWG1** (частота *fг* = 500 кГц);логический анализатор **XLA1**;триггерыв интегральном исполнении: универсальный **JK**, счётный**Т** и задержки **D**.

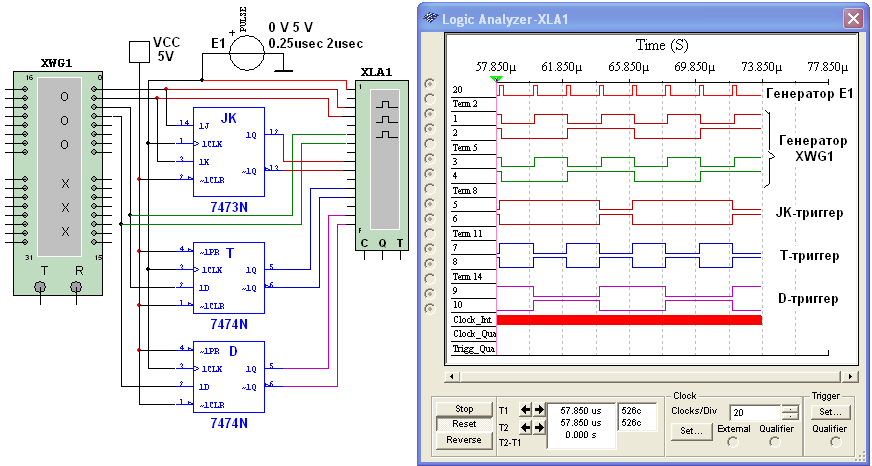


Рис. 32.7

На *-* и -входы триггеров подаётся постоянное напряжение 5 В (имитирующее сигнал 1) источника **VCC**, а на 1С-входы триггеров и на вход 20 анализатора **XLA1** поступают тактовые импульсы с амплитудой 5 В и частотой 500 кГц, сформированные генератором **Е1**.

С выходов 1 и 2 генератора **XWG1** сигналы подаются на управляющие входы **1J** и **1К** *JK*-триггера, с выхода 3 − на вход **1D** *Т*-триггера, а с выхода 4 − на вход **1D** *D*-триггера.

Для формирования выходных сигналовгенератор **XWG1** нужно **запрограммировать,** т. е. ввести в ячейки памяти кодовые комбинации из единиц и нулей согласно варианту (табл. 13.4).

В качестве примера введём в первые восемь ячеек памяти генератора четырехразрядные кодовые комбинации (см. рис. 13.8, *а*):

0000, 0101, 1010, 1111, 1001, 1001, 1111, 1100.

При моделировании генератор последовательно и циклично выводит содержимое каждой ячейки памяти (от начальной до конечной) на выходы 1, 2, 3 и 4, формируя на них следующие коды сигналов: 01011110, 00110010, 01010011 и 00111111 (см. сигналы на каналах 1, 2, 3 и 4 логического анализатора **XLA1 (**рис. 13.8, *б*)). Перед моделированием **выделите** в окне генератора **XWG1** ячейку с адресом 0 начала счёта и вывода сигналов.

Т а б л и ц а 13.4

|  |  |
| --- | --- |
| Вариант | Содержимое ячеек памяти генератора слова **XWG1** |
| 1, 6, 11, 16, 21, 26 | 0000, 1010, 1111, 1001, 1001, 1101, 1100, 0000 |
| 2, 7, 12, 17, 22, 27 | 0000, 1100, 1010, 1011, 1001, 1111, 1110, 0000 |
| 3, 8, 13, 18, 23, 28 | 0000, 1010, 1011, 1001, 1001, 1111, 1101, 0000 |
| 4, 9, 14, 19, 24, 29 | 0000, 1111, 1101, 1001, 1011, 1011, 1100, 0000 |
| 5, 10, 15, 20, 25, 30 | 0000, 1011, 1101, 1001, 1100, 1111, 1010, 0000 |

**Провести** моделирование работы триггеров в режимах **Step** или **Burst** генератора **XWG1, скопировать** в отчёт временные диаграммы, **составить** и **заполнить** таблицы истинности работы триггеров **JK**, **T** и **D** при заданном в табл. 13.4 варианте входных кодовых комбинаций. В частности, **описать** состояния *JK*-триггера с приходом тактового сигнала *C* = 1, когда сигналы *J* = 1 и *К* = 1, а *Q* = 0 или *Q* = 1.

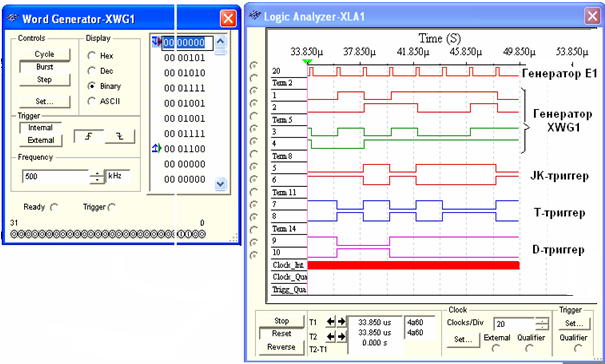


Рис. 13.8

*а*)

*б*)

**Примечание**. Таблицы истинности для рассмотренных библиотечных триггеров можно вызвать нажатием клавиши помощи **F1** после выделения на схеме триггера.

**Содержание отчета.**

1. Наименование и цель работы.

2. Перечень приборов, использованных в экспериментах, с их крат­кими характеристиками.

3. Изображения электрических схем для испытания триггеров *RS*, *JK*, *T* и *D* с помощью логических пробников и логического анализатора **XLA1**.

4. Копии временных диаграмм и таблицы истинности, отображающие работу исследуемых триггеров.

5. Выводы по работе.

**5.Вопросы для проверки знаний.**

**1**. Укажите, какая **комбинация** логических сигналов является запрещённой для асинхронного *RS*-триггера?

01  11 10 00

**2**. Укажите **условное графическое обозначение:**

1. *JK-триггера*:  *а*) *б*) *в*) *г*)

*D D Q*

*C C* 

Т

*а*)ф)

*б*)

*S Q*

*T*

Т

*R* 

*K* 

*C*

*J Q*

*C*

Т

*J*

*К*

*г*)

*S S*   *Q*

*R R* 

Т

*в*)

2. *RS-триггера*:  *а*) *б*) *в*) *г*)

**3**. Укажите **условное графическое обозначение**:

*K* 

*C*

*J Q*

*C*

Т

*J*

*К*

*D*

*J Q*

Т

*K* 

*C*

*C*

1

*S Q*

*T*

Т

*R* 

*K* 

1

*J Q*

Т

*C*

*T*

*J Q*

*C*

Т

*K* 

*C*

*S*

*R*

*T*

*J Q*

Т

*C*

*C*

*K* 

*б*)

*а*)

*в*)

*г*)

*е*)

*д*)

1. *Синхронного Т-триггера*, *выполненного на основе JK-триггера*:

*а*)  *б*) *в*) *г*) *д*) *е*)

2. *D-триггера*, *выполненного на основе JK-триггера*:

*а*)  *б*) *в*) *г*) *д*) *е*)

**4**. Укажите, нашли ли широкое применение **асинхронные** *D*-триггеры?

Да Нет

**5**.Укажите, как **функционируе**т *JK*-триггер при комбинации *J* = 1, *К* = 1 на входе?

Триггер находится в режиме хранения

Триггер работает в счётном режиме

Такая комбинация сигналов на входе является запрещённой

**6**. Укажите **время запаздывания** выходного сигнала по отношению к моменту подачи на *С*-вход *D*-триггера синхроимпульса при тактовой частоте *f* = 10 кГц (*Dt*= 1, *Qt*= 0).

1 с 0,1 с 10 мс 0,1 мс

**7.** Укажите значение **сигнала на выходе** *JK*-триггера при комбинации *J* = 1, *К* = 0 на входе и *Q* = 1 после окончания действия синхроимпульса.

0 1 Неопределённость: 0 или 1

**8**. Укажите **аналитическое выражение**, описывающее работу:

*а*)  *б*) 

*в*)  *г*) 

1. *RS-триггера*:  *а*) *б*) *в*) *г*)

2. *JK- триггера*:  *а*) *б*) *в*) *г*)

3. *Т-триггера*:  *а*) *б*) *в*) *г*)

4. *D-триггера*:  *а*) *б*) *в*) *г*)

**9**. Укажите, чем отличается **динамическое управление** триггерами от статического управления?

Принципиальных отличий нет: сигналы, поступающие на информационные входы всех модификаций триггеров, действуют в момент их поступления

У триггеров с динамическим управлением сигналы на информационных входах должны оставаться неизменными на всём интервале действия активного логического сигнала синхронизации (*С* = 1)

При динамическом управлении запоминание сигналов, действующих на информационных входах триггера, происходит в момент изменения значения сигнала на входе синхронизации

У триггеров с динамическим управлением отсутствуют прямые или инверсные входы, реагирующие на перепады сигналов на входах

**10**. Укажите **уровни напряжения** интегральных микросхем триггеров серии ТТЛ, принимаемые за логическую 1 и логический 0 при напряжении питания *Uп*= 5 В.

2,4 В < *U*1 < 5 В; 0 < *U*0 < 0,4 В 4,0 В < *U*1 < 5 В; 0 < *U*0 < 2,4 В

3,5 В < *U*1 < 5 В; 0 < *U*0 < 0,2 В 2,4 В < *U*1 < 5 В; 0 < *U*0 < 1,4 В

**13.** Укажите, к какому **типу** триггеров относят *Т*-триггеры?

. К асинхронным

К синхронным