**Лабораторная работа №11.**

**Цифровой компаратор.**

**1.Цель работы.**

Ознакомление с основными характеристиками и испытание интегрального цифрового компаратора. **2.Приборы и принадлежности.**

1). ПК с становленным ПО National Instruments.

2). NI ELVIS II.

**3.Теоретические сведения.**

*Цифровой компаратор* предназначен для сравнения двух многоразрядных двоичных чисел. В простейшем случае требуется лишь установить факт равенства бинарных чисел *А* и *В* одинаковой разрядности. При *п*-раз­рядных числах компаратор состоит из *п* сумматоров по модулю 2, выходы которых подключены к элементу ИЛИ. Только при совпадении значений всех разрядов чисел *А* и *В* на выходах всех сумматоров будет 0. Если же числа отличаются хотя бы в одном разряде, то на выходе соответствующего сумматора и, следовательно, на общем выходе будет 1.

Операция поразрядного сравнения заключается в выработке признака равенства (равнозначности) или неравенства (неравнозначности) двух сравниваемых двоичных чисел. Два числа равны при равенстве цифр в одноименных разрядах: *аi = bi*, где *аi* – ци­­фра в *i-*м разряде одного числа, *bi* – ци­­фра в *i-*м разряде другого числа. Равенство *аi = bi* имеет место при  *аi =* 1, *bi* = 1 или при *аi =* 0, *bi* = 0. Поэтому логическая функция, выража­ющая это равенство, равна единице, если единице равно произведение этих цифр или произведение их инверсных значений, т. е.

**,

а логическая функция, опи­­сыва­ющая компаратор для *п*-разрядных чисел, имеет вид

**.

Для построения компаратора только на элементах И-НЕ запишем её в другой форме, воспользовавшись формулой де Моргана,

**

Схема, реализующая это выражение, приведена на рис. 111, *а*.

Если необходимо, чтобы при равенстве кодов на выходе компаратора была логическая 1, то к выходу схемы (рис. 111, *а*) следует присоединить инвертор.

В некоторых компараторах находит применение узел сравнения чисел с определением знака неравенства, т. е. *А* > *B* или *А* < *B*. Устройство компаратора в этом случае получается более сложным. Число входов его равно 2*п*, а число выходов три: *Y*> при *А* > *B*, *Y*= при *А* = *B*, *Y*< при *А* < *B*.

Компараторы выполняют в виде отдельных микросхем. Так, например, микросхема К564ИП2 позволяет сравнивать два четырёхразрядных числа с определением знака неравенства. Условное обозначение такой микросхемы приведено на рис. 111, *б*.

Данный тип компаратора обладает свойством наращиваемости. Для сра­в­нения, например, 8-разрядных чисел применяют два 4-разрядных компаратора. Для этой цели как в микросхеме К564ИП2, так и в некоторых других марках отечественных и зарубежных производителей, предусмотрены три дополнительных входа: *А* > *B*, *А* = *B* и  *А* < *B*, к которым подводятся соответствующие выводы микросхемы, выполняющей сравнение младших разрядов.

*&*

⋅

⋅

⋅

⋅

*&*

*а*1

*у*

*b*1

*&*

*&*

*&*

*&*

*&*

*&*

*&*

*&*

*&*

*an*

*bn*

*&*

Рис. 111

*Y>*

*Y=*

*Y<*

*а*0

*b*0

*а*1

*b*1

*а*2

*b*2

*а*3

*b*3

*А>B*

*A=B*

*A<B*

**= =**

*у*

*б*)

*А>B*

*A=B*

*A<B*

*а*)

**4.Экспериментальная часть.**

**Задание 1**. **Запустить** среду МS11 **Открыть файл 31.2.ms10, размещённый в папке Circuit Design Suite 110 среды** МS10, или **собрать на рабочем поле среды MS10 схему для испытания** *цифрового компаратора* **(рис. 112)** и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 112) на страницу отчёта.

Цифровой 4-разрядный компаратор**Comp4** (рис. 112) выполняет сравнение четырёх старших разрядов 8-разрядных бинарных чисел **А** и **В** с учётом результатов сравнения младших разрядов, подаваемых на входы **AGTB** (A > B), **AEQT** (A = B**)** и **ALTB** (А < B) с соответствующих выводов первой микросхемы компаратора. На входы **А3**, **А2**, **А1**, **А0** и **В3**, **В2**, **В1**, **В0** микросхемы **Comp4** поступают с генератора слова **XWG1** сигналы четырёх старших разрядов чисел **А** и **В**.

Сигналы сравнения 8-разрядных чисел с определением их равенства **А** = **= В** или неравенства **А** > **B**, **A** < **B** подаются на выходы **OAGTB** (A > B), **OAEQT** (A = B**)** и **OALTB** (А < B). К этим выходам подключены входы логического анализатора **XLA1** и логические пробники **X1**, **X2** и **X3**.

При сравнении многоразрядных двоичных чисел используется следу­ющий алгоритм. Сначала сравниваются значения старших разрядов. Если они различны, то эти разряды и определяют результат сравнения. Если они равны, то необходимо сравнить следующие за ними младшие разряды и т. д.

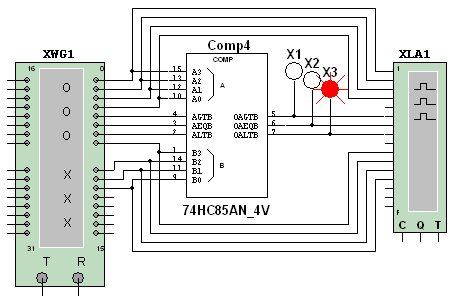
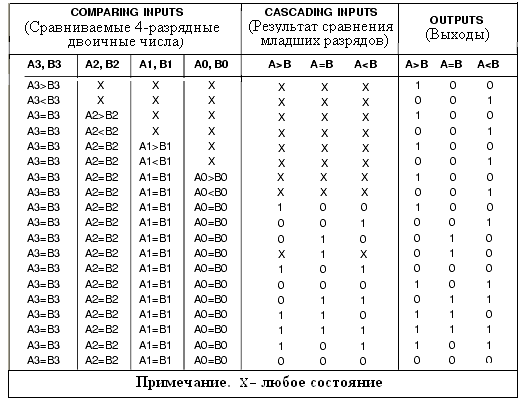


Рис. 112

Компаратор **74HC85AN\_4V** реализует указанный алгоритм: соответствующие логические функции приведены в таблице истинности (табл. 111), выводимой на экран дисплея после выделения изображения компаратора на схеме (рис. 112) и нажатия клавиши помощи F1 клавиатуры.

 Т а б л и ц а 111

**Задание 2**. **Получить** временные диаграммы входных и выходных сигналов на экране анализатора **XLA1** при пошаговой подаче на входы компаратора сигналов с выхо­дов генератора слова **XWG1** (*fг* = 500 кГц**)**.

Для этого:

− **щёлкнуть** мышью на изображении генератора **XWG1** (см. рис. 112) и **записать** в его первые ячейки памяти 10 произвольных (или заданных преподавателем) 11-раз­рядных кодовых последовательностей, причём в первые четыре разряда записать (справа налево) значения (1 или 0) числа **А**, т. е.А3А2А1А0, в следующие три разряда – трёхразрядные двоичные числа (**A** > **B**, **A** = **B** и **А** < **B** с одним высоким уровнем, равным 1, остальные 0) с выходов предыдущей микросхемы сравнения и, наконец, в последние четыре разряда − значения В3В2В1В0 числа **В**;

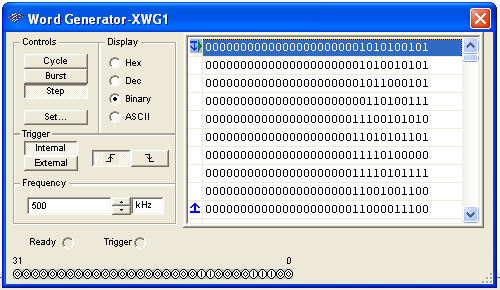
**− щёлкнуть** мышью на изображении логического анализатора **XLA1** и **установить** в его окне частоту *fа*= 10 МГц таймера, уровень высокого напряжении  *Um* = 4 В и число импульсов таймера, приходящихся на одно де­ление, **Clocks/div** = 20;

− **запустить** программу моделирования компаратора;

− последовательно щёлкая мышью на кнопке **Step** генератора **XWG1**,  **получить** временные диаграммы входных и выходных сигналов на экране анализатора **XLA1**.

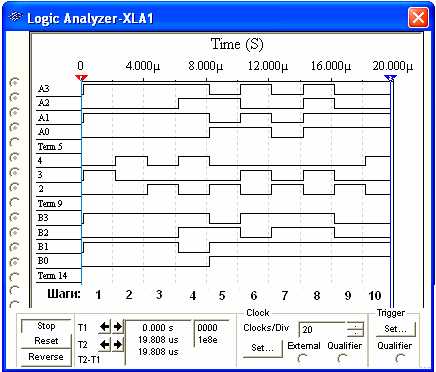
В качестве примера на рис. 113 показано содержание запрограммированных ячеек памяти генератора бинарного слова **XWG1**,а на рис. 31.4 – временные диаграммы входных и выходных (**Y>**, **Y=** и **Y<**) сигналов, характеризующих работу компаратора.

Рис. 113



Только при равенстве всех разрядов двоичных чисел, в том числе четырёх младших разрядов (при коде 010 с предыдущей микросхемы) и четырёх старших разрядов: **А** = **В =** 1010 (см. шаг 1 на рис. 114); **А** = **В** = 0101 (шаг 5) и **А** = **В =** 1111 (шаг 8) на выходе **Y=** компаратора формируются логические единицы. На втором шаге при **A** = **B** = 1010 выходной сигнал **Y>** = 1, так как на компаратор подан код 001 с предыдущей микросхемы, а на третьем шагевыходной сигнал **Y<** = 1, так как подан код 100. При равенстве четырёх младших разрядов (код 010) на четвёртом шаге **Y>** = 1, так как число **A** = 1110 больше числа **B** = 1100, а на пятом − сигнал **Y<** = 1, так как число **A** = 0101 меньше числа **B** = 0111, и т. д.

Рис. 114



**Задание 3**. **Скопировать** на страницу отчёта диалоговое окно генератора **XWG1** и окно анализатора **XLA1** с временными диаграммами вхо­дных и выходных сигналов.

Руководствуясь таблицей истинности (см. табл. 111), **дать пояснения** результатам сравнения двух бинарных чисел для всех записанных в ячейки памяти генератора **XWG1** комбинаций бинарных последовательностей.

**Содержание отчета.**

1. Наименование и цель работы.

2. Перечень приборов, использованных в экспериментах, с их крат­кими характеристиками.

3. Изображение электрической схемы для испытания цифрового компаратора.

4. Копии диалогового окна генератора слова **XWG1** с записанными ком­бинациями двоичных последовательностей в его ячейки памяти и окно логического анализатора **XLA1** с временными диаграммами входных и вы­ходных сигналов исследуемого компаратора.

5. Выводы по работе.

**5.Вопросы для проверки знаний.**

**1**. Укажите: *а*) можно ли установить **факт равенства** двух­разрядных бинарных чисел **А** и **В** с помощью приведенного устройства сравнения; *б*) какой **уровень** сигнала установится на его выходе при равенстве чисел **А** и **В**?



*а*) Да Нет

*б*) 0 1

**2**. Укажите, какую **функцию** выполняет цифровой компаратор?

Суммирование по модулю 2 всех разрядов с целью выяснения чётности числа

Сравнение двух бинарных чисел **А** и **В** одинаковой разрядности с целью определения равенства **А** = **В** или неравенства **А** < **B** и **A** > **B**

Хранение и преобразование многоразрядных чисел

Сравнение пилообразного сигнала с образцовым

**3**. Укажите **логическую** **функцию**, выражающую равенство *i*-х разрядов двоичных чисел.

** ** ** **

**4**. Укажите, к какому **типу** цифровых устройств относят компараторы?

К последовательностным

К комбинационным

**5**. Укажите **число активных** логических сигналов, формирующихся на выходе ком­паратора при сравнении многоразрядных двоичных чисел.

Число активных выходных сигналов равно числу разрядов сравниваемых би­­нарных чисел.

4

2

1

**6**. Укажите, чем определяется **число входов** цифрового компаратора?

Компараторы всегда имеют четыре входа

Число входов зависит от степени декомпозиции сравнивающего устройства и равно числу элементов сравнения одноразрядных слов

Число входов определяется разрядностью сравниваемых бинарных чисел

**7**. Укажите, можно ли **построить** устройство сравнения требуемой разрядности, используя цифровые компараторы с ограниченной разрядностью (например, четырёхразрядные)?

Да Нет