**Лабораторная работа №14.**

Счетчики.

**1.Цель работы.**

Ознакомление с устройством и функционированием счётчиков и испытание синхронного суммирующего, реверсивного и десятичного счётчиков.

**2.Приборы и принадлежности.**

1). ПК с становленным ПО National Instruments.

2). NI ELVIS II.

**3.Теоретические сведения.**

*1. КЛАССИФИКАЦИЯ СЧЁТЧИКОВ*

*Счётчик* предназначен для счёта поступающих на его вход импульсов, в интервале между которыми он должен хранить информацию об их количестве. Поэтому счётчик состоит из запоминающих ячеек – триггеров обычно *D*- или *JK*-типа. Между собой ячейки счётчика соединяют таким образом, чтобы каждому числу импульсов соответствовали состояния 1 или 0 определенных ячеек. При этом совокупность единиц и нулей на выходах *п* ячеек, называемых *разрядами* счетчика, представляет собой *п*-раз­рядное двоичное число, которое однозначно определяет количество прошедших через входы импульсов.

Каждый разряд счётчика может находиться в двух состояниях. Число устойчивых состояний, которое может принимать данный счётчик, называют *коэффициентом пересчёта* *Kсч*.

Если с каждым входным импульсом "записанное" в счётчике число увеличивается, то такой счётчик является *суммирующим*, если же оно уменьшается, то − *вычитающим*. Счётчик, работающий как на сложение, так и на вычитание, называют *реверсивным*.

Счётчики, у которых под воздействием входного импульса переключение соответствующих разрядов происходит последовательно друг за другом, называют *асинхронными*, а когда переключение происходит одновременно − *синхронными*. Максимальное число *N*, которое может быть записано в счётчике, равно (2*п* − 1), где *п* – число разрядов счётчика.

По способу кодирования последовательных состояний различают *двоичные счетчики* с коэффициентами пересчёта (обнуления) *Kсч*= 2*п*, у которых порядок смены состояний триггеров соответствует последовательности двоичных чисел, и *недвоичные*, у которых *Kсч*< 2*п* (например, десятичные с коэффициентом *Kсч*= 10 или делители частоты с коэффициентом деления *Kсч*≠ 2*п*).

Счётчики входят в состав разнообразных цифровых устройств: электронных часов, делителей частоты, распределителей импульсов, вычислительных и управляющих устройств. Выпускаемые промышленностью интегральные счётчики представляют собой схемы средней интеграции (например, микросхемы серий К155, К176 и др.); среди них многоразрядные бинарные счётчики на сложение и реверсивные счётчики с установочными входами *R* и *S* для всех разрядов, с постоянными и произвольными коэффициентами пересчёта.

*2. СЧЁТЧИК С НЕПОСРЕДСТВЕННЫМИ СВЯЗЯМИ.*

Условное изображение трехразрядного *суммирующего* счётчика показано на рис. 14.1, *а*, на котором символом *R* обозначен вход общего сброса, си­мволами *Q*1, *Q*2 и *Q*3 – выходы счетчика, *CR* – выход переноса единицы. Суммирующий вход счётчика обозначается +1, вычитающий −1. Это счетные входы. У асинхрон­ных счётчиков эти входы помечены специальными символами: или , указывающими поляр­ность перепада входного сигнала: 1/0 или 0/1, при которой происходит переключение триггеров счётчика.

+1

СТ

*а*)

*в*)

Т а б л и ц а 14.1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  |  |  |  |
| 0 | 0 | 0 | 0 |  |
| 1 | 0 | 0 | 1 |  |
| 2 | 0 | 1 | 0 |  |
| 3 | 0 | 1 | 1 |  |
| 4 | 1 | 0 | 0 |  |
| 5 | 1 | 0 | 1 |  |
| 6 | 1 | 1 | 0 |  |
| 7 | 1 | 1 | 1 |  |
|  |  |  |  |  |
| 0 | 0 | 0 | 0 |  |

*Q*3 *Q*2 *Q*1 *CR*

1

Номер

входного

импульса

*Q*1 *Q*2 *Q*3

*CR*

*R*

*t*

*t*

*t*

*t*

+1

*Q*1

*Q*2

*Q*3

0 1 2 3 4 5 6 7 8

ТТ

*б*)

ТТ

*R*  *Т*1

*Q*1

*Q*2

*R*  *Т*2

*Сброс в* "0"

ТТ

*R* *Т*3

*Q*3

+1

Рис. 14.1

Для переключения триггеров в счётчиках используют следующие связи: непосредственную, тракт последовательного переноса, тракт параллель­ного переноса. Схема счётчика с непосредственными связями показана на рис. 14.1, *б*. Первый триггер счётчика *Т*1 образует младший разряд. Он пересчитывает входные импульсы по модулю 2, а состояние его выхода воспринимается следующим *Т*2 триггером как входные сигналы и снова пересчитываются на 2 и т. д.

Полное представление о состояниях счётчика (рис. 14.1, *б*), в зависимости от числа поданных на вход импульсов, даёт переключательная таблица (табл. 14.1) и временные диаграммы (рис. 14.1, *в*), где изображены последовательность входных импульсов (на входе +1), а также состояния триггеров – первого (*Q*1), второго (*Q*2) и третьего (*Q*3). Фронты импульсов на диаграммах показаны идеальными: потенциал, соответствующий логическому 0, считается равным нулю, переключающие перепады для наглядности помечены крестиками.

Рассмотрим воздействие на счётчик, к примеру, шестого (обозначенного на диаграмме цифрой 5) импульса. По его спаду триггер *Т*1 устанавливается в 0, перепад 1/0 на его выходе *Q*1 переключает в 1 триггер *Т*2, а триггер *Т*3 остается в прежнем (единичном) состоянии, так как перепад 0/1 на выходе *Q*2 не является для него переключающим.

Из диаграммы видно, что частота импульсов на выходе каждого триггера вдвое меньше частоты импульсов на его входе. В момент, предшествующий переключению очередного разряда, все предыдущие разряды счётчика находятся в состоянии 1. Восьмой импульс для трехразрядного счётчика (см. табл. 14.1) является импульсом переполнения: им все триггеры устанавливаются в 0 (счётчик "обнуляется").

Если в счётчике используются триггеры, переключающиеся перепадом 0/1, то вход последующего триггера нужно соединить с инверсным выходом предыдущего, на котором формируется этот перепад, когда по основному выходу триггер переключается из 1 в 0.

Схема *вычитающего* счётчика приведена на рис. 14.2, в которой по входам *S* в разряды счётчика заносят двоичное число, из которого нужно вычесть число, представляемое количеством входных импульсов. Пусть, например, в счётчик (рис. 14.2) занесено число 510 = 1012. Первым входным импульсом триггер *Т*1 переключится из 1 в 0 (по основному выходу); при этом на инверсном выходе возникает перепад 0/1, которым триггер *Т*2 переключиться не может; в счётчике останется число 1002 = 410.

Второй входной импульс устанавливает триггер *Т*1 в состояние 1, на выходе  появляется перепад 1/0, который переключает *Т*2 в состояние 1, а формиру­ющийся при этом на  перепад 1/0 переключает *Т*3 в состояние 0. В счётчике остается число 0112 = 310. Аналогично можно рассмотреть действие последующих входных импульсов.

*Сброс в* "0"

ТТ

Рис. 14.2

ТТ

*R* *Т*1





*R* *Т*2

ТТ

*R* *Т*3



-1

*S*1

*S*2

*S*3

В счётчике с непосредственной связью переключение триггеров, вызванное срезом входного сигнала, происходит один за другим, *последовательно*, и задержка распространения *п*-разрядного счётчика, оценива­емая задержкой самого худшего случая – сменой всех 1 на все 0, − в *п* раз больше задержки одного *Т*-триггера. Если разрядов много, то большая задержка может оказаться серьёзным недостатком такого счётчика. Из-за невозможности выполнить смену состояния всего счётчика в единый момент времени, счётчики с непосредственной связью бывают только *асинхронными*, т. е. сигналом, переключающим их, является сам входной сигнал.

*3. СУММИРУЮЩИЙ СИНХРОННЫЙ СЧЁТЧИК.*

В *синхронном* счётчике переключающиеся разряды переходят в новое состояние одновременно (синхронно). Для того чтобы на входы всех разрядов каждый счётный импульс поступал одновременно, а переключение разрядов происходило в нужной последовательности, в схему добавляют логические цепи, которые обеспечивают переключение одних разрядов, а другие удерживают от переключения.

В схеме (рис. 14.3) четырехразрядного синхронного счётчика на  *JK*-триггерах на тактовые входы *С* всех триггеров счётные импульсы поступают одновременно с входа *Т*. Информационные входы *J* и *К* каждого триггера объединены. Триггер *Т*1 переключается каждым счётным импульсом, так как на его входы *J* и *К* постоянно подаётся 1. Остальные триггеры переключаются счётными импульсами при следующих условиях:

*J*

*K*

*C*

*Т*2

*+*1

И3

ТТ

Рис. 14.3

*Т*3

*ТС*

И2

*J*

*J*

*R*

И1

*Т*4

*K*

*C*

ТТ

*R*

*J*

*K*

*C*

ТТ

*R*

*Т*1

*K*

*C*

ТТ

*R*

&

&

&

*Q*1

*Q*2

*Q*3

*Q*4

*Сброс в "*0*"*

*Т*2 − при *Q*1 = 1; *Т*3 − при *Q*1 = 1 и *Q*2 = 1; *Т*4 − при *Q*1 = 1, *Q*2 = 1 и *Q*3 = 1.

Чтобы обеспечить указанные условия переключения триггеров, в схему (рис. 14.3) добавлены конъюнкторы *И*1, *И*2 и *И*3. На информационный вход каждого из триггеров *Т*2,*Т*3 и *Т*4 подаётся конъюнкция сигналов с основных выходов предыдущих триггеров. Разрешающая переключение единица поступит на вход соответствующего триггера, если все предыдущие триггеры находятся в состоянии 1, и по счётному сигналу он переключается.

*4. РЕВЕРСИВНЫЙ СИНХРОННЫЙ СЧЁТЧИК.*

*Реверсивный* счётчик, фрагмент которого изображен на рис. 14.4, работает как на сложение, так и на вычитание. Для перехода от сложения к вычитанию и обратно изменяют подключение входа последующего триггера к выходам предыдущего.

На объединённые входы *J* и *К* каждого триггера подаётся через дизъюнкторы конъюнкция сигналов с выходов предыдущих триггеров: основные выходы предыдущих триггеров присоединяются через конъюнкторы верхнего ряда (при сложении), а инверсные выводы − через конъюнкторы нижнего ряда (при вычитании). При сложении подают 1 на шину сложения, которой вводятся в действие конъюнкторы верхнего ряда; при этом на шине вычитания присутствует 0, вследствие чего конъюнкторы нижнего ряда выключены. Вычитание осуществляется при подаче 1 на шину вычитания и 0 на шину сложения. Счетные импульсы поступают на вход *Т*.

Как отмечалось в п. 2, каждый триггер переключается по тактовому входу *С* при *J* = *К* = 1, что имеет место, когда на выходах всех предыдущих триггеров (на основных – при сложении, на инверсных – при вычитании) будут единицы. Функционирование счетчика при сложении и вычитании описано в п. 2 и в п. 3.



*J*

*K*

*C*

*Т*2

*"*1"

ТТ

*Т*3

*ТС*

*J*

*R*

*Сброс в "*0"

*K*

*C*

ТТ

*R*

*J*

*K*

*C*

ТТ

*R*

*Т*1



*S*

*S*

*S*

*Шина вычитания*

*Шина*

*сложения*

1

1

*Q*1

*Q*2

*Q*3

&

&

&

&



Рис. 14.4

*5. ДЕСЯТИЧНЫЙ СЧЁТЧИК.*

Наибольшее распространение среди недвоичных счётчиков, у которых коэффициент пересчёта *Kсч* < 2*п*, имеют *десятичные* счётчики, у которых *Kсч* = 10. При проектировании недвоичного счётчика вначале определяют количество его разрядов *п* так, чтобы 2*п* было бóльшим ближайшим к *Kсч* числом. Затем тем или иным способом (например, принудительной установкой некоторых разрядов счётчика в 1) исключают избыточные состояния счётчика, число которых равно 2*п* − *Kсч*.

Так, для получения *Kсч* = 10 одноразрядный счётчик должен содержать четыре триггера, а избыточные состояния 2*п* − *Kсч* = 16 − 10 = 6 исключают тем или иным способом. При проектировании десятичного счётчика чаще используют двоично-десятичное кодирование чисел. В этой системе, например, число 375 записывается как 0011 0111 0101, где сохранены позиции десятичных разрядов: 00112 = 310, 01112 = 710, 01012 = 510.

В связи с этим десятичный счётчик должен состоять из последовательно соединенных декад, информация о каждом из девяти импульсов накапливается в декаде, а десятым импульсом она обнуляется, и единица переносится в следующую декаду. Каждая декада работает в натуральном двоичном коде с весами двоичных разрядов, начиная со старшего, соответственно равными 8, 4, 2, 1, т. е. декада работает в коде 8-4-2-1. Если к выводам декад подключить индикаторы, то они будут показывать записанные числа в декадах в привычном десятичном коде. Десятичные счетчики выполняются и с другими весами разрядов, например, в коде 4-2-2-1.

На рис. 14.5 изображена функциональная схема десятичного счётчика с параллельным переносом на *JK*-триггерах с встроенными логическими элементами, реализующая переключательные функции:





*Q*1

*R*

*&J*

*&K*

*C*

*Т*2

1

**

ТТ

Рис. 14.5

*Т*3

*ТС*

1

*&J*

*&J*

1

*Т*4

*&K*

*C*

ТТ

*R*

*&J*

*&K*

*C*

ТТ

*R*

*Т*1

*&K*

*C*

ТТ

*R*

*S*

*S*

*Q*2

*Q*4

*Сброс в "*0*"*

1

*S*

*S*

*Q*3

1

Рассмотрим работу схемы. Пусть по тактовому входу *Т* на триггер *Т*1 поступило семь импульсов и показание счётчика 0111. При этом на входах *К* триггеров *Т*1, *Т*2и *Т*3 будут логические единицы. Восьмой импульс вызовет переключение всех триггеров счетчика, т. е. в нём будет записан код 1000. Девятый импульс вызовет переключение только первого триггера, так как остальные триггеры заблокированы по входу *J* уровнями логического нуля с триггеров *Т*1, *Т*2и *Т*3 соответственно. Показание счётчика будет 1001. Десятый входной импульс вызовет переключение триггеров *Т*1и *Т*4, так как триггеры *Т*2и *Т*3 заблокированы по входу *J* уровнями 0 с выходов соответствующих триггеров. Счетчик зафиксирует двоичный код 0000, т. е. установится в исходное состояние.

Уменьшение числа устойчивых состояний в счётчике прямого счёта достигнуто за счёт введения обратных связей, посредством которых сигнал с какого-либо старшего разряда поступает в младшие, обеспечивая при этом изменение естественной последовательности двоичных чисел при подсчёте входных импульсов. Этим способом можно строить счётчики с заданным коэффициентом пересчёта.

**4.Экспериментальная часть.**

**Задание 1**. **Запустить** среду МS10**.** **Открыть файл 34.6.ms10, размещённый в папке Circuit Design Suite 10.0 среды** МS10, или **собрать на рабочем поле среды MS10 схему для испытания** *синхронного двоичного счётчика* **(рис. 14.6)** и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 14.6) на страницу отчёта.

В библиотеке программной среды МS10 имеются 4-, 8- и 12-разрядные счётчики различных типов. Среди них: счётчики асинхронные (**SN7493**, **SN74393**), синхронные (**74NC161**, **SN74163**), реверсивные (**SN74191**), двоично-десят­и­ч­ные (**SN7493**, **SN74160**) и др.

В схему (рис. 14.6) включен синхронный двоичный 4-разрядный счётчик **74НС161**, к входу  которого подключен источник тактовых импульсов **Е1**, а к выходам **QA**, **QB**, **QC** и **QD** − шестнадцатеричный 7-сег­ментный индикатор **DCD\_HEX** и дешифратор **DC** 4х10. Выход дешифратора соединён с входами логического анализатора **XLA1**.

К входам **А**, **В**, **С** и **D** счётчика **СТ** подключен источник постоянного на­пряжения **VCC**, переключатели **1**, …, **4** для формирования входных двоичных кодов и ключ **Space** для изменения режима работы счётчика. В синхронном счётчике заданные с помощью ключей уровни сигналов подаются на входы всех триггеров, как и тактовые импульсы, которые подаются на счётные входы  всех разрядов счётчика.

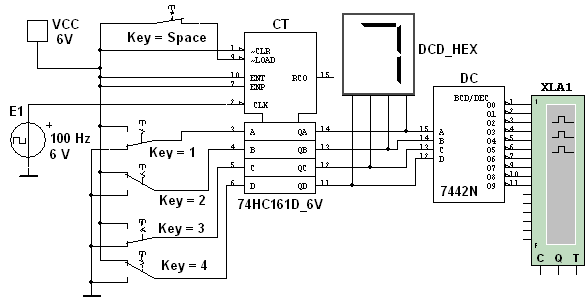


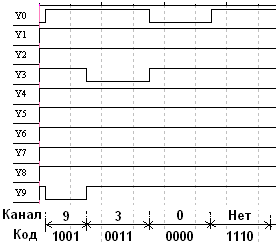
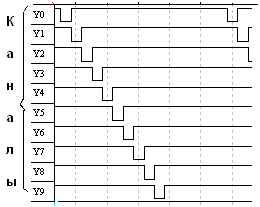
Рис. 14.6

При *замкнутом* ключе **Space** число поданных от генератора **Е1** на вход счётчика импуль­сов высвечивается на индикаторе **DCD\_HEX** в десятичном коде, от 0 до 15, после чего счётчик обнуляется и вновь начинается счёт. При этом на одном из выходов дешифратора **DC** формируется сигнал низкого уровня (логический 0), номер которого соответствует коду входного числа: от 0000 до 1001 (910).

При *разомкнутом* ключе **Space** сформированное с помощью переключателей на входе счётчика 4-раз­рядное двоичное число высвечивается на индикаторе в десятичном коде, а на экране анализатора на одном из выходов, соответствующем входному коду счётчика, формируется логический 0.

**Задание 2**. **Замкнуть** ключ **Space**, **запустить** программу моделирова­ния суммирующего счётчика и **наблюдать** за показаниями индикатора. **Убе­диться**, что на экране анализатора **XLA1** логические нули перестают формироваться после прихода 11-го тактового импульса и появляются вновь только с приходом 17-го импульса (рис. 14.7, *а*).

**Разомкнуть** ключ **Space**. **Установить** в диалоговом окне анализатора **XLA1** напряжение **V** = 5 B, частоту таймера *fa* = 2 кГц, число импульсов, приходящихся на одно деление, **Clocks/div** = 60. (При таком режиме лучи медленно перемещаются на экране анализатора). С помощью активных кла­виш 1, 2, 3 и 4 клавиатуры **сформировать** произвольные двоичные входные числа (коды), например 1001, 0011, 0000, 1110 и **подавать** их на входы **D**, **С**, **В** и **А** счётчика. **Убедиться**, что при подаче числа 11102 (1410) ни на одном выходе дешифратора 4х10 не сформировался низкий уровень сигнала (рис. 13.7, *б*).



*а*)

*б*)

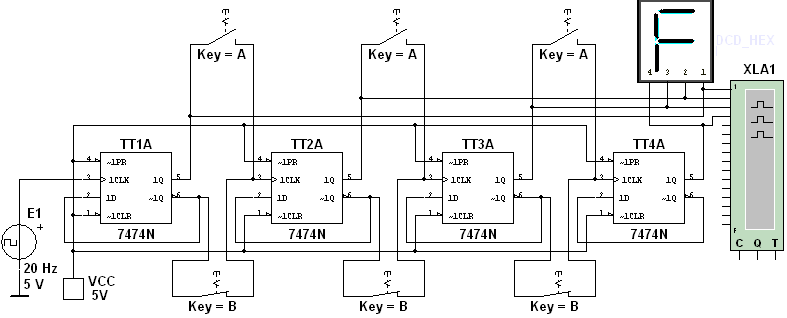
Рис. 13.7

**Скопировать** на страницу отчёта результаты моделирования синхронного суммирующего счётчика (см. рис. 14.7).

**Задание 3**. **Cобрать на рабочем поле среды MS10 схему для испытания** *реверсивного двоичного счётчика* **(рис. 14.8)** и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 14.8) на страницу отчёта.

В схеме реверсивного двоичного счетчика (рис. 14.6) с помощью групп ключей **А** и **В** осуществляетсяза­мы­кание или размыкание выходов высокого или низкого уро­вня предыдущего триггера с входами или  триггера следующего разряда, причём при замкнутых ключах **А** и разомкнутых **В** (режим суммирования) с каждым тактовым импульсом увеличивается результат счёта, а при замкнутых ключах **В** и разомкнутых **А** (режим вычитания) − результат счёта уменьшается.

Рис. 14.8



**Установить** в диалоговом окне анализатора **XLA1** напряжение **V** = = 5 B, частоту таймера *fa* = 2 кГц, число импульсов, приходящихся на одно деление, **Clocks/div** = 60. **Разомкнуть** ключи **В** и **замкнуть** ключиА. З**апустить** программу модели­рования счётчика. При высвечивании числа 15 на 7-сегментном индикаторе **щёлкнуть** **мышью** на кнопке **Stop** (остановки моделирования) и **скопировать** окно анализатора с результатами моделирования на страницу отчёта (см. верхнюю часть рис. 14.9).

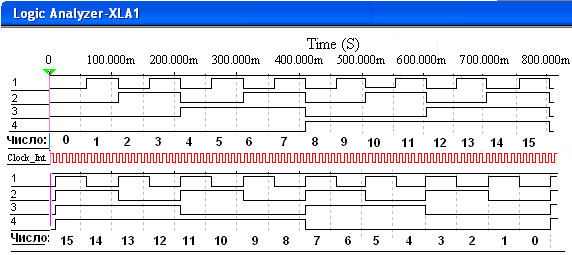


Рис. 14.9

**Разомкнуть** ключи **А** и **замкнуть** ключи **В**. **Щёлкнуть** **мышью** на кно­пке **Stop** (продолжить моделирование), **остановить** моделирование при высвечивании числа 0 на индикаторе и **скопировать** окно анализатора с результатами моделирования в отчет (см. нижнюю часть рис. 13.9).

**Задание 4**. **Cобрать на рабочем поле среды MS10 схему для испытания** *десятичного счётчика* **(рис. 14.10)** и **установить** в диалоговых окнах компонентов их параметры или режимы работы. **Скопировать** схему (рис. 14.10) на страницу отчёта.

Результаты моделирования 4-разрядного двоичного счетчика (см. рис.14.8 и рис. 14.9) показали, что с его помощью можно сосчитать до 15. Следовательно, для создания счётчика натуральных десятичных чисел в двоичном коде для одной декады нужно в схему двоичного 4-разрядного счётчика ввести обратные связи с логическими элементами, посредством которых сигнал с какого-то старшего разряда поступает в младшие и т. п., обеспечивая в целом выработку счётчиком двоичного эквивалента счётной декады.

В функциональной схеме десятичного счётчика (14.10), собранной на триггерах *JK*-типа, на каждый одиннадцатый тактовый импульс результат счёта сбрасывается в нуль и далее результат счёта увеличивается. Возврат счётчика при поступлении одиннадцатого тактового импульса в начальное состояние обеспечивается дополнительной комбинационной схемой с встроенными логическими элементами И (**AND**), ИЛИ (**OR**) и НЕ (**NOT**).

Счётчик работает так же, как синхронный двоичный счётчик до поступления седьмого импульса, а далее, благодаря обратной связи, нарушается изменение естественной последовательности двоичных чисел на входах и выходах триггеров при подсчёте тактовых импульсов.

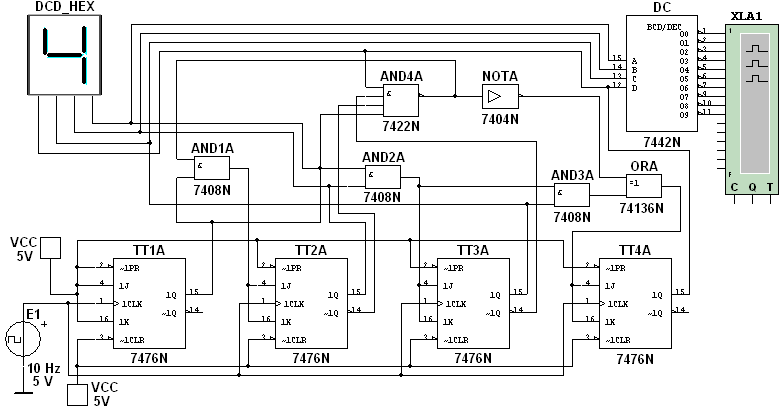


Рис. 14.10

**Запустить** программу модели­рования десятичного счётчика и **скопировать** окно анализатора с результатами моделирования на страницу отчёта.

**Содержание отчета.**

1. Наименование и цель работы.

2. Перечень приборов, использованных в экспериментах, с их крат­кими характеристиками.

3. Изображения электрических схем для испытания суммирующего, реверсивного и десятичного счётчиков.

4. Копии временных диаграмм, отображающие работу исследуемых счётчиков.

5. Выводы по работе.

**5.Вопросы для проверки знаний.**

**1**. Укажите, **в каком виде** фиксируется в счётчике число поступивших на его вход импульсов?

В виде двоичного кода, хранящегося в триггерах

В виде потенциала (напряжения), хранящегося на зажимах выходного конденсатора счётчика

В виде двоично-десятичного кода, хранящегося в выходном регистре

В виде десятичного числа, высвечиваемого на индикаторе

**2**. Укажите необходимое **число выходов** двоичного счётчика для выдачи результатов счёта 28 импульсов.

3 4 5 6 8

**3**. Укажите, в **какой момент** 5-разрядный двоичный счетчик возвращается в начальное состояние?

При поступлении на вход 16-го импульса

При подаче на вход 32-го импульса

При подаче на вход инверсного сигнала

При переполнении, наступающем при числе импульсов *N* = 25 – 1

**4**.На 7-сегментном индикаторе десятичного счётчика высвечивается число 5. Укажите, какое **число** будет высвечиваться на индикаторе при подаче на вход ещё 6-ти импульсов?

0 1 2 3

**5**.Укажите, **каким путём передаются сигналы** от разряда к разряду в синхронном счётчике?

Естественным путём в различные интервалы времени в зависимости от сочетания входных сигналов

Принудительным путём с помощью тактовых импульсов

Посредством специальной переключающей схемы

Путём подачи сигнала 0 на входы *J*  всех *JR*-триггеров

**6**. Укажите, что понимают под **коэффициентом пересчёта** счётчика?

Это минимально допустимый период следования входных импульсов, при котором обеспечивается надёжная работа счётчика

Это интервал времени между моментами поступления входного импульса и окончания самого длинного переходного процесса в счётчике

Это максимальное число единичных сигналов, которое может быть зафиксировано на счётчике

Это модуль счёта, характеризуемый числом устойчивых состояний счётчика

**7.** Укажите, чему равен **модуль** *M* **пересчёта** двоичного *п*-разрядного счётчика?

*M* **=** 2*п**M* **=** 2*п* **−**1*M* **=** 2*п* **−**2*M* **=** 2*п-*1

**8**. Укажите, сколько **триггеров** должен иметь двоично-кодированный счётчик с коэффициентом пересчёта *M* **=** 8?

2  3 4 5 6

**9**. Укажите **пути и средства**, с помощью которых изменяется направление счёта в реверсивном счётчике.

Направление счёта определяется исключительно выбором инверсных выходов триггером для формирования сигнала переноса

Направление счёта осуществляется с помощью разбиения разрядных схем счётчика на группы и применением внутри этих групп последовательного переключения триггеров

Направление счётаизменяется путём изменения вида межразрядных связей

Изменение направления счёта осуществляется путём исключения лишних состояний разрядных схем